



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0083607
Application Number PATENT-2002-0083607

출원년월일 : 2002년 12월 24일
Date of Application DEC 24, 2002

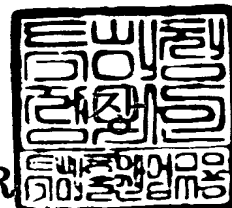
출원인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 01 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.12.24
【발명의 명칭】	커패시터 내장형 인쇄회로기판 및 그 제조 방법
【발명의 영문명칭】	A printed circuit board with embedded capacitors, and a manufacturing process thereof
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철 , 이인실, 염승운, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	이석규
【성명의 영문표기】	LEE, Seok Kyu
【주민등록번호】	710517-1357413
【우편번호】	361-271
【주소】	충청북도 청주시 흥덕구 복대1동 세원느티마을아파트 102동 402호
【국적】	KR
【발명자】	
【성명의 국문표기】	민병렬
【성명의 영문표기】	MIN, Byoung Youl
【주민등록번호】	491006-1067912
【우편번호】	136-052
【주소】	서울특별시 성북구 동선동2가 62번지
【국적】	KR

【발명자】

【성명의 국문표기】 진현주
【성명의 영문표기】 JIN,Hyun Ju
【주민등록번호】 750317-1119927
【우편번호】 609-350
【주소】 부산광역시 금정구 청룡동 326번지 5/3
【국적】 KR

【발명자】

【성명의 국문표기】 강장규
【성명의 영문표기】 KANG,Jang Kyu
【주민등록번호】 580504-1462416
【우편번호】 305-761
【주소】 대전광역시 유성구 전민동 엑스포아파트 306동 1301호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 청운특허법인 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	21 면	21,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	25 항	909,000 원
【합계】		959,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 인쇄회로기판 내층에 높은 커패시턴스를 갖는 고유전율의 중합체 커패시터 페이스트를 도포하고, 이를 비-스테이지(B-stage) 상태로 반건조시켜 제조되는 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 관한 것이다. 본 발명에 따른 커패시터 내장형 인쇄회로기판의 제조 방법은, i) 인쇄회로기판의 내층에 접지층 동박을 형성하고, 접지층 동박을 조도 처리하는 단계; ii) 접지층 동박에 고유전율의 중합체 커패시터 페이스트를 일정한 두께로 도포하고, 이를 경화시키는 단계; iii) 경화된 커패시터 상부에 전원층 동박을 적층하는 단계; iv) 전원층 동박에 드라이 필름 패턴을 형성하고, 전원층 동박을 각각 분할하도록 상기 드라이 필름 패턴을 식각 마스크를 통해 식각하는 단계; v) 전원층 동박의 상부에 절연층이 부착된 동박층을 적층하는 단계; vi) 절연층이 부착된 동박층의 소정 부위에 블라인드 비아홀 및 도통홀을 가공하는 단계; 및 vii) 블라인드 비아홀 및 도통홀을 도금하여 층간을 연결하는 단계를 포함하여 이루어진다. 본 발명에 따르면, 고유전율의 중합체 커패시터 페이스트를 도포하여 형성된 커패시터를 내장함으로써 높은 커패시턴스 값이 구현되는 인쇄회로기판을 구현할 수 있다.

【대표도】

도 6

【색인어】

인쇄회로기판, 커패시터, 페이스트, 내장, 고유전율, 중합체

【명세서】**【발명의 명칭】**

커패시터 내장형 인쇄회로기판 및 그 제조 방법 {A printed circuit board with embedded capacitors, and a manufacturing process thereof}

【도면의 간단한 설명】

도 1a 내지 도 1e는 각각 종래의 기술에 따른 중합체 후막형 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들이다.

도 2a 및 도 2b는 각각 종래의 기술에 따른 도 1a 내지 도 1e에 의해 제조된 인쇄회로기판의 문제점을 설명하기 위한 도면이다.

도 3a 내지 도 3f는 각각 종래의 기술에 따른 감광성 수지를 코팅하여 형성된 개별 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들이다.

도 4a 내지 도 4c는 각각 종래의 기술에 따른 커패시턴스 특성을 갖는 별도의 유전층을 삽입하여 형성된 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들이다.

도 5는 각각 종래의 기술에 따른 도 4a 내지 도 4c에 의해 제조된 인쇄회로기판의 문제점을 설명하기 위한 도면이다.

도 6은 본 발명에 따른 높은 커패시턴스를 갖도록 높은 유전율을 갖는 커패시터 페이스트를 도포하여 형성된 커패시터를 내장한 인쇄회로기판의 단면도이다.

도 7a 내지 도 7h는 각각 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판의 제조 방법을 나타내는 도면들이다.

도 8은 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판의 각 동작 전압별 전원전극을 형성하는 일례를 도시한 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 관한 것으로, 보다 상세하게는 인쇄회로기판(Printed Circuit Board; PCB) 내층에 높은 커패시턴스를 갖는 고 유전율의 중합체 커패시터 페이스트(Polymer Capacitor Paste)를 도포하고, 이를 비-스테이지(B-stage) 상태로 반건조시켜 제조되는 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 관한 것이다.

<10> 현재까지 대부분의 인쇄회로기판(PCB)의 표면에는 일반적인 개별 칩 저항(Discrete Chip Resistor) 또는 일반적인 개별 칩 커패시터(Discrete Chip Capacitor)를 실장하고 있으나, 최근 저항 또는 커패시터 등의 수동소자를 내장한 인쇄회로기판이 개발되고 있다.

<11> 이러한 수동소자 내장형 인쇄회로기판 기술은 새로운 재료(물질)와 공정을 이용하여 기판의 외부 혹은 내층에 저항 또는 커패시터 등의 수동소자를 삽입하여 기존의 칩 저항 및 칩 커패시터의 역할을 대체하는 기술을 말한다. 다시 말하면, 수동소자 내장형 인쇄회로기판은 기판 자체의 내층 혹은 외부에 수동소자, 예를 들어, 커패시터가 묻혀 있는 형태로서, 기판 자체의 크기에 관계없이 수동소자인 커패시터가 인쇄회로기판의 일 부분으로 통합되어 있다면, 이것을 "내장형 커패시터"

라고 하며, 이러한 기판을 커패시터 내장형 인쇄회로기판(Embedded Capacitor PCB)이라고 한다. 이러한 커패시터 내장형 인쇄회로기판의 가장 중요한 특징은 커패시터가 인쇄회로기판의 일부분으로 본래 갖추어져 있기 때문에 기판 표면에 실장할 필요가 없다는 것이다.

<12> 한편, 현재까지의 커패시터 내장형 인쇄회로기판 기술은 크게 3가지 방법으로 분류될 수 있으며, 이하 상세히 설명한다.

<13> 첫째로, 중합체 커패시터 페이스트를 도포하고, 열 경화, 즉 건조시켜 커패시터를 구현하는 중합체 후막형(Polymer Thick Film Type) 커패시터를 구현하는 방법이 있다. 이 방법은 인쇄회로기판의 내층에 중합체 커패시터 페이스트를 도포하고, 다음에 이를 건조시킨 후에 전극을 형성하도록 동 페이스트(Copper paste)를 인쇄 및 건조시킴으로써 내장형 커패시터를 제조하게 된다.

<14> 둘째로, 세라믹 충전 감광성 수지(Ceramic filled photo-dielectric resin)를 인쇄회로기판에 코팅(coating)하여 개별 내장형 커패시터(embedded discrete type capacitor)를 구현하는 방법으로서, 미국 모토롤라(Motorola)사가 관련 특허 기술을 보유하고 있다. 이 방법은 세라믹 분말(Ceramic powder)이 함유된 감광성 수지를 기판에 코팅한 후에 동박(copper foil)을 적층시켜서 각각의 상부전극 및 하부전극을 형성하며, 이후에 회로 패턴을 형성하고 감광성 수지를 식각하여 개별 커패시터를 구현하게 된다.

<15> 셋째로, 인쇄회로기판의 표면에 실장되던 디커플링 커패시터(Decoupling capacitor)를 대체할 수 있도록 인쇄회로기판 내층에 커패시턴스 특성을 갖는 별도

의 유전층을 삽입하여 커패시터를 구현하는 방법으로서, 미국 산미나(Sanmina)사가 관련 특허 기술을 보유하고 있다. 이 방법은 인쇄회로기판의 내층에 전원전극 및 접지전극으로 이루어진 유전층을 삽입하여 전원 분산형 디커플링 커패시터(Power distributed decoupling capacitor)를 구현하고 있다.

<16> 전술한 3가지 기술별로 각각 여러 공정이 개발되고 있고, 각각의 공정에 따라 구현 방법에 차이가 있지만, 현재의 커패시터 내장형 인쇄회로기판 시장은 크게 형성되어 있지 않다. 따라서 전 세계적으로 이들 기술에 대한 표준화는 아직 이루어지지 않고 있으며, 상용화에 사용될 정도의 공정 기술은 아직 개발 중에 있는 실정이다.

<17> 이하, 첨부된 도면을 참조하여 종래의 기술에 따른 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 대하여 구체적으로 설명한다.

<18> 먼저, 첫 번째 종래 기술에 대해 도 1a 내지 도 1e를 참조하여 설명한다.

<19> 도 1a 내지 도 1e는 각각 종래의 기술에 따른 중합체 후막형 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들로서, 중합체 커패시터 페이스트를 도포하고 열 건조(또는 경화)시켜 중합체 후막형 커패시터가 내장된 인쇄회로기판을 구현하게 된다.

<20> 제1 단계로서, FR-4로 이루어지는 PCB 내층(42)의 동박에 드라이 필름(dry film)을 입혀 노광 및 현상 공정을 거친 후에, 상기 동박을 식각하여 양(+)의 전극용 동박(44a, 44b) 및 음(-)의 전극용 동박(43a, 43b)과 그 틈새(Clearance)를 형성하게 된다(도 1a 참조).

- <21> 제2 단계로서, 상기와 같이 형성된 음(-)의 전극용 동박(43a, 43b)에 높은 유전상수의 세라믹 분말을 함유한 중합체로 이루어진 커패시터 페이스트(45a, 45b)를 스크린 인쇄(Screen Printing) 기술을 이용하여 도포하고, 이후 이를 건조 또는 경화시킨다(도 1b 참조). 여기서 스크린 인쇄는 스퀴지(squeeze)로 잉크 등의 매체를 스텐실(stencil) 스크린을 통과시켜서 기판 표면 상에 패턴을 전사하는 방법을 말한다.
- <22> 이때 상기 커패시터 페이스트(45a, 45b)는 상기 양(+)의 전극용 동박(44a, 44b) 및 음(-)의 전극용 동박(43a, 43b)과의 틈새까지 도포하게 된다.
- <23> 다음에, 제3 단계로서, 은(Silver) 및 동(Copper)과 같은 도체 페이스트(Conductive Paste)를 스크린 인쇄 기술을 이용하여 양(+)의 전극(46a, 46b)을 형성시킨 후 건조 또는 경화시킨다(도 1c 참조).
- <24> 제4 단계로서, 상기 PCB의 내층(41)에 전술한 제1 단계 내지 제3 단계까지 진행된 커패시터층을 절연체(47a, 47b) 사이에 삽입시킨 후 적층(Lamination)한다(도 1d 참조). 여기서, 도면부호 48a 및 48b는 각각 상기 절연체(47a, 47b) 상에 부착된 동박층이다.
- <25> 다음에, 제5 단계로서, 상기 적층된 제품에 도통홀(Through Hole; TH) 및 레이저 블라인드 비아홀(Laser Blinded Via Hole; LBVH)(49a, 49b)을 이용하여 기판의 내층에 있는 커패시터를 기판 외부에 실장되어 있는 집적회로 칩(IC Chip; 52a, 2b)의 양(+)의 단자(51a, 51b)와 음(-)의 단자(50a, 50b)를 연결시켜 내장형 커패시터 역할을 하게 한다(도 1e 참조).

- <26> 그런데, 전술한 종래 기술 방식 중 첫 번째 기술의 첫 번째 문제점은 양(+)의 전극(46a, 46b) 끝단 부위에서 커패시터 페이스트(45a, 45b)의 깨짐(Crack) 현상이 발생한다는 것이다.
- <27> 도 2a 및 도 2b는 각각 도 1a 내지 도 1e에 의해 제조된 인쇄회로기판의 문제점을 설명하기 위한 도면이다.
- <28> 도 1b를 참조하면, 상기 제2 단계에서 음(-)의 전극용 동박(43a, 43b) 상부에 커패시터 페이스트(45a, 45b)를 인쇄 및 건조하면, 도 2a와 같이 깨짐(C)이 발생하게 된다. 상기 깨짐(Crack) 발생의 주요 원인은 음(-)의 전극용 동박의 두께 때문이다. 대부분의 PCB 내층에 삽입되는 동박의 경우 1/2oz($18\mu\text{m}$) 혹은 1oz($36\mu\text{m}$)을 사용하는데, 인쇄되는 커패시터의 두께가 $10\mu\text{m}$ 정도이기 때문에 음(-)의 전극용 동박 끝 부분에서 깨짐이 발생되고, 이렇게 발생된 깨짐은 양(+)의 전극용 동박(44a, 44b)에 연결되는 동 페이스트(45a, 45b)를 인쇄하게 되면 상기 음(-)의 전극과 + 전극 층간에 단락 불량을 발생시킨다는 문제점이 있다.
- <29> 또한, 전술한 종래 기술 방식 중 첫 번째 기술의 두 번째 문제점은 도 1e의 1층과 2층 사이에 절연거리 불량을 발생한다는 것이다.
- <30> 도 1a 내지 도 1e와 같은 공정으로 내장형 커패시터(45a, 45b)를 형성하고, 제4 단계에서와 같이 절연층(47a, 47b)을 이용하여 기판을 적층하면, 상기 커패시터로 구성된 윗 부분(A 부분)과 내층 코어 2층 및 3층 윗 부분(B 부분)의 절연거리 차이가 도 2b와 같이 크게 발생된다. 예를 들어, $80\mu\text{m}$ 절연재를 사용하여 적층하면 A부분의 1층과 내층 커패시터의 동 전원전극(46a, 46b) 간의 절연거리는 $20\sim 30\mu\text{m}$ 인데 비해, B 부분의 1층과 2층 FR-4 코어(42), 또는 2층 동박 부위와의 절연거리는 $60\sim 70\mu\text{m}$ 정도의 두께를 갖게

된다. 이와 같이 2배 이상의 절연거리의 편차가 발생하는 이유는 상기 커패시터 페이스트(45a, 45b)가 10~15 μ m 두께를 갖고 있고, 전원전극(46a, 46b)인 동 페이스트가 10~15 μ m 두께를 갖고 있기 때문이다. 이렇게 1층과 2층 사이의 절연거리의 편차는 결국 1층과 2층의 신호 회로의 임피던스(impedance) 불량을 발생하는 원인이 된다.

<31> 또한, 전술한 종래 기술 방식 중 첫 번째 기술의 세 번째 문제점은 상기 커패시터 페이스트(45a, 45b), 동 페이스트(46a, 46b)의 인쇄 및 건조에 의해 발생하는 이물질로 인한 불량 발생한다는 것이다.

<32> 즉, 도 1b와 같이 커패시터 페이스트(45a, 45b)를 10~15 μ m의 일정한 두께로 인쇄한 후에 150℃ 이상에서 30~90분 동안 건조시키고, 다시 동 페이스트(46a, 46b)를 인쇄 및 건조하는 공정을 거치게 되면, 인쇄 시에 발생된 이물질 등으로 인해서 건조 시에 동공(Void)이 빈번히 발생하게 된다. 이러한 동공은 결국 양(+)의 전극용 동박(44a, 44b)에 연결되는 동 페이스트(46a, 46b)를 상기 커패시터 페이스트(45a, 45b) 위에 인쇄하고 건조하였을 때 상기 양(+)의 전극과 음(-)의 전극 사이에서 층간 단락 불량이 발생하는 원인이 된다.

<33> 다음으로, 종래의 두 번째 기술에 대해 도 3a 내지 도 3c를 참조하여 설명한다.

<34> 도 3a 내지 도 3f는 각각 종래의 기술에 따른 감광성 수지를 코팅하여 형성된 개별 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들로서, 세라믹 충전 감광성 수지(Ceramic filled photo-dielectric resin)를 인쇄회로기판에 코팅하여 개별 내장형 커패시터를 구현하게 되는데, 모토롤라사에 특허가 허여된 US6,349,456호를 참조하기로 한다.

- <35> 제1 단계로서, 상부에 도체층(12)이 형성된 인쇄회로기판(10)에 세라믹 분말이 함유된 감광성 유전체 수지(14)를 코팅한 후, 노광 및 열 건조시키게 된다(도 3a 참조).
- <36> 제2 단계로서, 상기와 같이 건조된 감광성 유전체 수지(14) 위에 동박(16)을 적층하게 된다(도 3b 참조). 여기서, 도면부호 18은 동박 식각 레지스트(copper etching resist)로 사용되기 위해 동박(16) 상부에 주석(Tin)이 도금된 희생층(sacrificial layer)을 나타낸다.
- <37> 제3 단계로서, 드라이 필름을 상기와 같이 희생층(18) 상부에 적층하고, 이후 노광 및 현상을 하여 희생층(18)과 동박(16) 상부를 식각하여 상부전극(20)을 형성하게 된다(도 3c 참조).
- <38> 제4 단계로서, 상기 상부전극(20) 아래의 감광성 유전체 수지(14)를 노광시킨 뒤에 상기 감광성 유전체 수지(22)를 식각한다. 이때 형성된 상부 구리 전극(20)은 감광성 유전체 수지(14)의 감광 레지스트(photomask)로 이용된다(도 3d 참조).
- <39> 제5 단계로서, 상기 식각된 감광성 유전체 수지(22) 아래쪽의 동박(12)을 식각하여 하부전극(24)을 형성한다(도 3e 참조).
- <40> 마지막, 제6 단계로서, 인쇄회로기판의 내층(10)에서 상기 제1 단계 내지 제5 단계 까지 진행된 커패시터층(32)을 절연체(26) 사이에 삽입시킨 후에 금속층(30)을 적층하게 된다(도 3f 참조).
- <41> 이후에 상기와 같이 적층된 제품에 도통홀(TH) 및 레이저 블라인드 비아홀(LBVH)을 이용하여 인쇄회로기판의 내층에 있는 커패시터(32)를 인쇄회로기판 외부에 실장되어 있

는 집적회로 칩의 전원단자 및 접지단자와 연결시켜 개별 내장형 커패시터를 구비하는 인쇄회로기판을 제조하게 된다.

<42> 그런데, 전술한 종래 기술 방식 중 두 번째 기술의 첫 번째 문제점은 제조 방법의 비용이 높다는 것이다.

<43> 즉, 세라믹 충전 감광성 수지(14)를 인쇄회로기판에 코팅하여 개별 내장형 커패시터를 구현하기 위해서는 상기 상부전극(20)과 하부전극(24) 모두의 회로를 형성하여야 하는데, 상당히 많은 공정을 이용하여 완전히 독립적인 개별 커패시터를 구현하게 되며, 이로 인해 제조 방법의 비용이 높아지게 되고, 감광성 유전체 수지(14)를 동박층인 하부전극(12) 전면에 인쇄한 뒤 노광하여 반응된 부위의 유전체를 식각시켜 제거하는 제조 방법이므로 소량의 내장형 커패시터를 구현함에도 많은 양(+)의 감광제 수지가 필요 이상으로 요구되어지는 등 원자재 손실이 많은 문제점이 있다.

<44> 또한, 전술한 종래 기술 방식 중 두 번째 기술의 두 번째 문제점은 상기 하부전극(24) 간의 단락이 발생할 수 있다는 점이다.

<45> 즉, 적층된 동박(16)을 회로 형성하여 상부전극(20)을 만들고, 상기 동박(16)이 식각된 아래에 남게 되는 감광성 유전체 수지(14)를 빛으로 반응시킨 후, 식각액을 사용하여 빛으로 반응된 감광성 유전체 수지(14)를 제거할 때, 제거되는 부분의 폭이 좁을 경우에 하부 동박(12) 상부 쪽에 미식각된 유전체 수지(14)가 남아 있을 수 있다. 그 이유는 상기 감광성 유전체 수지(14)가 열 경화(110℃, 60분간) 되어 빛에 의해 반응하는 감광성 물질(photosensitive agent)들이 완전하게 반응을 하지 못하고 특히 하부 동박(12)쪽에 위치한 유전체 수지(14)는 미식각될 경우가 발생하게 되며, 결국 하부 동박(12)이 미식각되어 하부전극(24)끼리 단락될 수 있다는 문제점이 있다.

- <46> 다음으로, 종래의 세 번째 기술에 대해 도 4a 내지 도 4c를 참조하여 설명한다.
- <47> 도 4a 내지 도 4c는 각각 종래의 기술에 따른 커패시턴스 특성을 갖는 별도의 유전층을 삽입하여 형성된 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들로서, 인쇄회로기판 내층에 커패시턴스 특성을 갖는 별도의 유전층을 삽입함으로써 상기 인쇄회로기판 표면에 실장되던 디커플링 커패시터를 대체하는 내장형 커패시터를 구현하게 되는데, 미국 산미나사에 특허 허여된 US5,079,069호US5,261,153호 및 US5,800,575호를 참조하기로 한다.
- <48> 제1 단계로서, 동박층(62)과 동박층(63) 사이에 고유전율의 동박 코팅 적층판(Copper Coated Laminate; 61)에 드라이 필름을 입히고, 노광 및 현상 공정을 거쳐 상기 동박층(62, 63)을 각각 식각하여, 커패시터의 전원전극 및 틸새를 형성한다(도 4a 참조).
- <49> 제2 단계로서, 상기 인쇄회로기판의 내층(61)에 제1 단계를 진행한 제품을 절연체(64a, 64b) 사이에 삽입한 후에 적층하고, 이후 상기 인쇄회로기판의 내층에 외층 동박(65a, 65b)을 적층시킨다(도 4b 참조).
- <50> 제3 단계로서, 상기과 같이 적층된 제품에 도통홀(PTH) 및 레이저 블라인드 비아홀(LBVH)을 이용하여 인쇄회로기판의 내층에 있는 커패시터를 상기 인쇄회로기판 외부에 실장되어 있는 집적회로 칩(68a, 68b)의 전원단자 및 접지단자와 연결시켜 전원 분산형 디커플링 커패시터 역할을 하게 한다(도 4c 참조). 여기서, 도면부호 67a 및 67b는 각각 접지전극 및 전원전극 사이의 틸새를 나타내며, 상기 도통홀이나 비아홀이 이 부분을 각각 통과할 경우에 접촉되지 않을 정도의 이격 거리를 갖게 된다.

- <51> 그런데, 전술한 종래 기술 방식 중 세 번째 기술의 첫 번째 문제점은 내장형 커패시터층의 낮은 유전상수 값으로 인한 낮은 커패시턴스를 갖는다는 점이다.
- <52> 즉, 도 4a에 도시된 $10\sim 50\mu\text{m}$ 두께를 갖는 박막형인 경우, 산미나사의 자재는 전원 전극 및 접지전극으로 사용되는 동박 사이에 $25\mu\text{m}$ 혹은 $50\mu\text{m}$ 두께의 FR-4 유전물질로 구성되어 있으며, 또한 이때 FR-4의 유전상수는 4~5정도이므로, 실제 단위 면적당 커패시턴스 값($0.5\sim 1\text{nF/in}^2$)은 일반적으로 사용되고 있는 디커플링용 개별 칩 커패시터(100nF/in^2)와 비교해서 상당히 낮기 때문에 내장형 커패시터 기술 구현에 많은 한계가 있다는 문제점이 있다.
- <53> 또한, 전술한 종래 기술 방식 중 세 번째 기술의 두 번째 문제점은 내장 커패시터층의 삽입으로 인해 인쇄회로기판의 두께가 두꺼워지는 문제점이 있다.
- <54> 즉, 높은 정전용량값을 FR-4 유전체로 구현하기 위해서는 많은 양(+)의 내장형 커패시터층을 삽입해야 하고 당연히 인쇄회로기판의 층수가 증가되고 두께 또한 높아지는 문제점이 발생되고 그에 따른 제조 가격이 상승한다는 문제점이 있다.
- <55> 또한, 전술한 종래 기술 방식 중 세 번째 기술의 세 번째 문제점은 고용량의 커패시턴스 값을 얻기 위해 유전체 두께가 낮은 원자재를 사용할 경우 전원전극용 상부 동박과 접지전극용 하부 동박을 회로 형성시 도 5와 같이 박판인 유전체가 인쇄회로기판 공정, 예를 들어 드라이 필름 적층 및 회로 형성 공정을 진행하는 동안 전원 전극과 접지 전극사이에 단락 및 크랙이 발생된다.
- <56> 보다 구체적으로, 도 5는 종래 기술에 따른 커패시턴스 특성을 갖는 별도의 유전층을 삽입하여 형성된 커패시터를 내장한 인쇄회로기판의 문제점을 설명하기 위한 도면으

로서, 도 5에 도시된 바와 같이, 종래 기술에 따른 커패시턴스 특성을 갖는 별도의 유전층을 삽입하여 형성된 커패시터를 내장한 인쇄회로기판에서는 8~10 μm 의 고유전율층(91) 상에 형성되는 18~35 μm 의 전원전극(92) 및 접지전극(93)은 단락(G) 및 크랙(F)이 발생하게 되는 문제점이 있다.

<57> 한편, 일반적으로 커패시턴스는 커패시터의 면적과 두께에 의해 각각 달리 구현되며, 아래 수학적 식 1과 같이 계산된다.

<58>

$$C = \epsilon_r \epsilon_0 \left(\frac{A}{D} \right)$$

【수학적 식 1】

<59> 여기서, ϵ_r 은 유전체의 유전상수(dielectric constant), ϵ_0 은 8.855×10^{-8} 값을 갖는 상수, A는 유전체의 표면적, 그리고 D는 유전체의 두께를 나타낸다. 즉, 고용량의 커패시터를 구현하기 위해서는 유전체의 유전상수가 높아야 하며, 유전체 두께가 얇으면 얇을수록, 그리고 표면적이 넓을수록 높은 용량을 갖는 커패시터를 얻을 수 있다. 또한, 전술한 두개의 형태(Bimodal)의 중합체 세라믹 합성물의 용량은 두께가 10 μm 일 경우 5~7 nF/cm²을 얻을 수 있다.

<60> 예를 들면, 3M사에게 특허 허여된 US6,274,224호의 경우, 전원전극과 접지전극으로 사용되는 동박 사이에 BaTiO₃ 세라믹 분말과 열경화성 플라스틱인 에폭시 혹은 폴리이미드(Polyimide)로 혼합한 합성물(Composite) 형태의 8~10 μm 두께로 이루어진 박막형(Thin Film Type)을 사용하는데, 이때 단위 면적당 커패시턴스 값(10nF/in²)은 상대적으로 높지만 박판 원자재로 인해 공정에서 전원 전극과 접지 전극사이에 단락 및 크랙이 발생하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <61> 상기 문제점을 해결하기 위한 본 발명의 목적은 고유전율의 중합체 커패시터 페이스트를 도포하여 형성된 커패시터를 내장함으로써 높은 커패시턴스 값을 구현할 수 있는 커패시터 내장형 인쇄회로기판 및 그 제조 방법을 제공하기 위한 것이다.
- <62> 또한, 본 발명의 다른 목적은 고유전율의 중합체 커패시터 페이스트를 사용하여 전체 내층 PCB 상에서 균일한 절연 두께를 확보함으로써 보다 높은 주파수 영역의 제품에 응용할 수 있는 커패시터 내장형 인쇄회로기판 및 그 제조 방법을 제공하기 위한 것이다
- <63> 또한, 본 발명의 다른 목적은 전원 전극과 접지 전극사이에 단락 및 크랙이 발생하지 않는 공정 작업성이 안정한 커패시터 내장형 인쇄회로기판 및 그 제조 방법을 제공하기 위한 것이다.

【발명의 구성 및 작용】

- <64> 상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 커패시터 내장형 인쇄회로기판의 제조 방법은, i) 인쇄회로기판의 내층에 접지층 동박을 형성하고, 상기 접지층 동박을 조도 처리하는 단계; ii) 상기 접지층 동박에 고유전율의 중합체 커패시터 페이스트를 일정한 두께로 도포하고, 이를 경화시키는 단계; iii) 상기 경화된 커패시터 상부에 전원층 동박을 적층하는 단계; iv) 상기 전원층 동박에 드라이 필름 패턴을 형성하고, 상기 전원층 동박을 각각 분할하도록 상기 드라이 필름 패턴을 식각 마스크를 통해 식각하는 단계; v) 상기 전원층 동박의 상부에 절연층이 부착된 동박층을 적층하는 단계; vi) 상기 절연층이 부착된 동박층의 소정 부위에 블라인드 비아홀(Blind

via-hole; BVH) 및 도통홀(Through hole; TH)을 가공하는 단계; 및 vii) 상기 블라인드 비아홀 및 도통홀을 도금하여 층간을 연결하는 단계를 포함하여 이루어진다.

<65> 여기서, 상기 절연층이 부착된 동박층은 수지 코팅된 동박층(Resin Coated Copper: RCC)인 것이 바람직하며, 상기 수지 코팅된 동박층(RCC)은 빌드-업(Build-up) 공정을 이용하여 적층되는 것을 특징으로 한다.

<66> 여기서, 상기 접지층 동박은 상기 커패시터 페이스트와의 접착력을 높이기 위해 상기 접지층 동박 표면에 $1\sim 2\mu\text{m}$ 정도의 조도가 형성되는 것을 특징으로 한다.

<67> 또한, 상기 조도를 형성하는 방법은 소프트 식각(soft etching), 블랙 산화(black oxide), 브라운 산화(brown oxide), MEC(Acid chemical base), 세라믹 천(ceramic buff), Z-스크러빙(Z-scrubbing) 처리를 포함하는 그룹으로부터 선택되는 것을 특징으로 한다.

<68> 또한, 상기 커패시터 페이스트는 유전상수가 $1,000\sim 10,000$ 인 고유전율을 갖는 BaTiO_3 세라믹 분말을 열 경화성 에폭시 수지 또는 폴리이미드와 혼합한 합성물 형태인 것이 바람직하며, 또한, 상기 커패시터 페이스트는 상기 BaTiO_3 분말의 크기를 두개의 형태(Bimodal)로 구현하고, 그 크기는 $0.9\mu\text{m}$ 직경의 분말과 60nm 직경의 극소 분말을 $3:1\sim 5:1$ 의 부피 비율로 섞어서 에폭시 수지에 골고루 분산시켜 $80\sim 90$ 정도의 유전상수를 갖는 중합체 세라믹 합성물 형태인 것이 바람직하다.

<69> 또한, 상기 조도 처리된 동박에 커패시터 페이스트를 도포하는 방법은 스크린 인쇄(Screen printing) 또는 롤 코팅(Roll coating) 방법일 수 있다.

- <70> 또한, 상기 커패시터 페이스트는 $8\mu\text{m}$ 내지 $25\mu\text{m}$ 정도로 도포되는 것이 바람직하며, 상기 커패시터 페이스트는 오븐(Oven) 건조기에서 10분 동안 $90\sim 110^{\circ}\text{C}$ 에서 액상이었던 상기 커패시터 페이스트를 비-스테이지(B-stage)인 고상으로 반건조시킬 수 있다.
- <71> 또한, 상기 반건조된 비-스테이지(B-stage)의 커패시터 페이스트가 30분 내지 1시간 동안 $150\sim 180^{\circ}\text{C}$ 의 온도와 $35\text{Kg}/\text{cm}^2$ 정도의 압력을 가하여 완전 건조되는 것이 바람직하다.
- <72> 또한, 상기 전원층 동박의 분할은 인쇄회로기판에 실장될 각 부품들의 동작 전압이 서로 다를 경우, 상기 전원층 동박을 각각의 셀(Cell)로 나누어서 각 동작 전압별로 대응하는 것을 특징으로 한다.
- <73> 또한, 상기 블라인드 비아홀은 레이저 드릴(Laser drill)을 이용하여 형성되고, 상기 도통홀은 기계식 드릴(Mechanical drill)을 이용하여 형성될 수 있고, 또한, 상기 블라인드 비아홀 및 도통홀은 각각 무전해 동도금(Electroless plating)으로 인쇄회로기판 내층에 삽입되어 있는 전원층 동박과 접지층 동박에 각각 연결되는 것을 특징으로 한다.
- <74> 또한, 상기 전원층 동박과 접지층 동박을 상기 인쇄회로기판에 실장되는 집적회로 칩(IC Chip)의 전원 패드 및 접지 패드에 각각 연결하는 단계를 추가로 포함할 수 있다. 또한, 상기 커패시터 페이스트가 형성된 층은 상기 집적회로 칩을 위한 디커플링 커패시터(Decoupling capacitor) 역할을 하는 것을 특징으로 한다.
- <75> 한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 커패시터가 내장된 인쇄회로기판은, a) 동박 적층판이 접착제로 접착된 다층 인쇄회로기판의 내층; b)

상기 내층의 상부 및 하부에 형성되어 조도 처리되는 접지층 동박; c) 상기 접지층 동박에 일정한 두께로 도포되어 경화되는 고유전율의 중합체 커패시터 페이스트; d) 상기 경화된 커패시터 상부에 적층되는 전원층 동박—여기서 전원층 동박 상에 드라이 필름 패턴이 적층되고, 상기 드라이 필름 패턴이 식각 마스크를 통해 식각되어 상기 전원층 동박이 각각 분할됨—; e) 상기 전원층 동박의 상부에 적층되는 절연층이 부착된 동박층; f) 상기 절연층이 부착된 동박층의 소정 부위에 가공되는 블라인드 비아홀 및 도통홀; 및 g) 상기 인쇄회로기판의 층간을 연결하기 위해 상기 블라인드 비아홀 및 도통홀이 도금되는 도금층을 포함하여 구성된다.

<76> 따라서, 본 발명은 높은 유전상수를 갖는 BaTiO_3 세라믹 분말을 열 경화성 플라스틱인 에폭시 또는 폴리이미드(Polyimide)와 혼합한 합성물 형태로 구성된 슬러지(Sludge)를 다층 인쇄회로기판 내부의 접지층 동박에 인쇄하고, 이를 비-스테이지(B-stage) 상태로 반건조시킨 후, 다른 한쪽에 전원층 동박을 형성함으로써, 높은 커패시턴스를 갖고 제조 공정도 간편하며 또한 신뢰성이 높은 내장형 디커플링 커패시터(Embedded decoupling capacitor)를 갖는 인쇄회로기판을 제조할 수 있다.

<77> 이하, 첨부된 도면을 참조하여, 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 대하여 설명한다.

<78> 도 6은 본 발명에 따른 높은 커패시턴스를 갖도록 높은 유전율을 갖는 커패시터 페이스트를 도포하여 형성된 커패시터를 내장한 인쇄회로기판의 단면도이다.

- <79> 도 6을 참조하면, 본 발명은 인쇄회로기판(Printed Circuit Board; PCB) 내층에 높은 커패시턴스를 갖는 고유전율의 중합체 커패시터 페이스트(Polymer Capacitor Paste)(103a, 103b)를 도포하고, 이를 비-스테이지(B-stage) 상태로 반건조시켜 제조되는 커패시터 내장형 인쇄회로기판을 구현하게 된다.
- <80> 즉, 본 발명은 높은 유전상수를 갖는 BaTiO_3 세라믹 분말을 열 경화성 플라스틱인 에폭시 또는 폴리이미드(Polyimide)와 혼합한 합성물 형태로 구성된 슬러지(Sludge)를 다층 인쇄회로기판 내부의 접지층 또는 전원층 동박의 어느 한쪽에 인쇄한다.
- <81> 다음에 비-스테이지(B-stage) 상태로 반건조시킨 후, 다른 한쪽에 전원층 또는 접지층을 형성함으로써, 본 발명에 따른 인쇄회로기판은 내장형 디커플링 커패시터(Embedded decoupling capacitor)를 내장하게 된다.
- <82> 여기서, 상기 커패시터 페이스트(103a, 103b)는 고유전율(Dk :1,000~10,000)을 갖는 BaTiO_3 세라믹 분말을 열 경화성 에폭시 수지 또는 폴리이미드와 혼합한 합성물 형태로 구성되어 있기 때문에 높은 커패시턴스 구현이 가능하다. 또한, 상기 커패시터 페이스트(103a, 103b)는 BaTiO_3 분말의 크기를 하나의 형태(Unimodal)로 구성하는 것보다는 두개의 형태(Bimodal)로 구현하고, 그 크기는 $0.9\mu\text{m}$ 직경의 분말과 60nm 직경의 극소 분말을 3:1~5:1의 부피 비율로 섞어서 에폭시 수지에 골고루 분산시켜 대략 80~90의 유전상수를 갖는 중합체 세라믹 합성물 형태이다.
- <83> 이하, 도 7a 내지 도 7g를 참조하여, 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판의 제조 방법을 설명한다.

- <84> 도 7a 내지 도 7g는 각각 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판의 제조 방법을 나타내는 도면들이다.
- <85> 먼저, 제1 단계로서, 동박(102a, 102b)이 형성된 프리프레그(101)로 접합된 제1 코어층(103a) 및 제2 코어층(103b) 상부에 각각 동박(104a, 104b)을 적층하고, 이를 조도 처리한다. 즉, 다음 단계에서 도포될 커패시터 페이스트(105a, 105b)와 동박(104a, 104b)과의 접착력을 높이기 위해 동박(104a, 104b) 표면에 조도를 형성한다. 여기서, 상기 프리프레그(101), 동박(102a, 102b), 제1 코어층(103a), 제2 코어층(103b) 및 동박(104a, 104b)이 적층되어 있는 상태가 본 발명에 따른 인쇄회로기판의 내층에 해당한다.
- <86> 상기 조도를 형성하는 방법에는 크게 화학적 방법과 물리적인 방법으로 나눌 수 있다. 화학적 방법으로는 소프트 식각(soft etching), 블랙 산화(black oxide) 또는 브라운 산화(brown oxide), MEC(Acid chemical base) 처리 등이 있으며, 물리적 방법에는 세라믹 천(ceramic buff), Z-스크러빙(Z-scrubbing) 처리 등이 있다. 이들 방법을 이용하여 상기 동박(104a, 104b)에 1~2 μ m 정도의 조도를 형성한다(도 7a 참조). 여기서, 상기 제1 코어층(103a) 및 제2 코어층(103b)은 각각 FR-4가 사용된다. 또한, 상기 동박(104a, 104b)은 접지층 또는 전원층 동박으로 사용될 수도 있으며, 본 실시예에서는 상기 동박은 접지층 동박으로 한다.
- <87> 제2 단계로서, 상기와 같이 조도 처리한 동박(104a, 104b)에 커패시터 페이스트(105a, 105b)를 스크린 인쇄(Screen printing) 및 롤 코팅(Roll coating) 방법으로 일정한 두께로 도포한다(도 7b 참조). 상기 도포 두께는 전원층 동박(106a, 106b)과의 적층 이후 완성된 두께를 고려하여 인쇄 두께를 8~25 μ m까지 일정하게 도포하게 되며, 이후

일반 오븐(Oven) 건조기에서 10분 동안 90~110℃로 반건조시켜 액상이었던 페이스트(105a, 105b)를 B-stage인 고상으로 만든다.

<88> 제3 단계로서, 전원층 동박(106a, 106b)을 형성할 수 있도록 반건조된 상기 비-스테이지 커패시터 페이스트(105a, 105b) 상부에 전원층 동박(106a, 106b)을 적층하여 내장 커패시터층을 형성한다(도 7c 참조).

<89> 여기서, 반건조된 비-스테이지(B-stage) 커패시터 페이스트는 30분 내지 1시간 정도 적당한 온도, 예를 들어 150~180℃, 그리고 소정의 압력, 예를 들어, 35Kg/cm²을 가하여 완전 건조시킴으로써 상부 동박과 커패시터 페이스트와의 강한 밀착력이 얻어진다.

<90> 제4 단계로서, 상기 제3 단계까지 진행된 내장 커패시터층의 상기 전원층 동박(106a, 106b)에 드라이 필름(Dry film)을 적층하고, 이를 노광 및 현상하고, 이후 상기 드라이 필름을 식각 레지스터를 사용하여 식각함으로써 상기 전원층 동박(106a, 106b)을 각각 틈새(D)에 의해 분할한다(도 7d 참조). 상기 전원층 동박(106a, 106b)을 분할하는 이유는 각 부품들의 동작 전압이 서로 다르므로 각 동작 전압별로 전원층 동박(106a, 106b)을 각각의 셀(Cell)로 나누어서 대응할 수 있도록 하기 위한 것으로, 보다 구체적인 설명은 도 8을 참조하여 이후 기술된다.

<91> 제5 단계로서, 상기 전원층 동박(106a, 106b)을 형성한 커패시터층 상부에 빌드-업(Build-up) 공정을 이용하여 레이저 가공성 수지(Laser drillable resin)로 코팅된 동박층(Resin coated copper foil; RCC)(107a, 107b)을 적층한다(도 7e 참조).

<92> 제6 단계로서, 상기와 같은 RCC 동박층(107a, 107b)의 적층 이후 상기 RCC 박막(107a, 107b)에 레이저 드릴(Laser drill)을 이용하여 블라인드 비아홀(Blind via-hole;

BVH)(108)을 형성하고, 또한 기계식 드릴(Mechanical drill)을 이용하여 도통홀(Through hole; TH)(109)을 형성하며, 상기와 같이 형성한 BVH(108) 및 TH(109)에 무전해 동도금(Electroless plating)(110)을 하여 각 층간을 연결하게 된다. 특히, 내층에 삽입되어 있는 커패시터층의 전원층 동박(106a, 106b)과 접지층 동박(104a, 104b)과 각각 연결한다(도 7f 참조). 즉, 상기 BVH(108)는 전원층 동박(106a, 106b)과 연결시키고, 또한 TH(109)는 접지층 동박(104a, 104b)과 각각 연결시킨다.

<93> 제7 단계로서, 상기 RCC 박막(107a, 107b)을 노광 및 현상하여, 전원층, 접지층 및 회로패턴(111a, 111b)을 형성한 후에, 집적회로 칩(IC Chip; 112a, 112b)의 전원 패드 및 접지 패드를 상기 커패시터층의 전원층 동박(106a, 106b)과 접지층 동박(104a, 104b)과 각각 연결시키게 된다(도 7g 참조). 이때, 인쇄회로기판의 내층에 삽입되어 있는 내장형 커패시터층(103, 103b)은 상기 집적회로 칩(112a, 112b)을 위한 디커플링 커패시터(Decoupling capacitor) 역할을 하게 된다.

<94> 도 8은 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판의 각 동작 전압별 전원전극을 형성하는 일례를 도시한 도면이다.

<95> 전술한 바와 같이, 최외층에 해당하는 RCC 박막(107a, 107b)은 도 8에 도시된 바와 같이, 각각의 동작 전압별, 예를 들면, 1.8V 영역(114a), 2.5V 영역(114b), 3.3V 영역(114c) 및 4.7V 영역(114d)으로 분할하여 사용할 수 있다. 이때의 접지층 동박(104a, 104b)은 공통으로 사용될 수도 있고, 각각 상기 분할된 전원층에 대응하여 분할할 수도 있다.

<96> 따라서, 본 발명은 높은 유전상수를 갖는 BaTiO₃ 세라믹 분말을 열 경화성 플라스틱인 에폭시 또는 폴리이미드(Polyimide)와 혼합한 합성물 형태로 구성된 슬러지

(Sludge)를 다층 인쇄회로기판 내부의 접지층 또는 전원층 동박의 어느 한쪽에 인쇄하고, 이를 비-스테이지(B-stage) 상태로 반건조시킨 후, 다른 한쪽에 전원층 또는 접지층이 형성된 내장형 디커플링 커패시터를 갖는 인쇄회로기판이 제조된다.

<97> 본 발명에 따른 커패시터 내장형 인쇄회로기판 및 그 제조 방법은 단지 상기한 실시예에 한정되는 것이 아니고, 그 기술적 요지를 벗어나지 않는 범위에서 다양하게 변형 및 변경 실시할 수 있다.

【발명의 효과】

<98> 본 발명에 따르면 고유전율의 중합체 커패시터 페이스트를 도포하여 형성된 커패시터를 내장함으로써 높은 커패시턴스 값을 구현할 수 있다.

<99> 또한, 본 발명에 따르면, 고유전율의 중합체 커패시터 페이스트를 사용하여 전체 내층 PCB 상에서 균일한 절연 두께를 확보함으로써 보다 높은 주파수 영역의 제품에 응용할 수 있다.

<100> 또한, 본 발명에 따르면, 전원 전극과 접지 전극사이에 단락 및 크랙이 발생하지 않고 공정 작업이 안정적으로 용이해진다.

【특허청구범위】

【청구항 1】

- i) 인쇄회로기판의 내층에 접지층 동박을 형성하고, 상기 접지층 동박을 조도 처리하는 단계;
- ii) 상기 접지층 동박에 고유전율의 중합체 커패시터 페이스트를 일정한 두께로 도포하고, 이를 경화시키는 단계;
- iii) 상기 경화된 커패시터 상부에 전원층 동박을 적층하는 단계;
- iv) 상기 전원층 동박에 드라이 필름 패턴을 형성하고, 상기 전원층 동박을 각각 분할하도록 상기 드라이 필름 패턴을 식각 마스크를 통해 식각하는 단계;
- v) 상기 전원층 동박의 상부에 절연층이 부착된 동박층을 적층하는 단계;
- vi) 상기 절연층이 부착된 동박층의 소정 부위에 블라인드 비아홀(Blind via-hole; BVH) 및 도통홀(Through hole; TH)을 가공하는 단계; 및
- vii) 상기 블라인드 비아홀 및 도통홀을 도금하여 층간을 연결하는 단계를 포함하여 이루어지는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 2】

- 제1항에 있어서,
- 상기 절연층이 부착된 동박층은 수지 코팅된 동박층(Resin Coated Copper: RCC)인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 3】

제2항에 있어서,

상기 수지 코팅된 동박층(RCC)은 빌드-업(Build-up) 공정을 이용하여 적층되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 4】

제1항에 있어서,

상기 접지층 동박은 상기 커패시터 페이스트와의 접착력을 높이기 위해 상기 접지층 동박 표면에 1~2 μ m 정도의 조도가 형성되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 5】

제1항에 있어서,

상기 조도를 형성하는 방법은 소프트 식각(soft etching), 블랙 산화(black oxide), 브라운 산화(brown oxide), MEC(Acid chemical base), 세라믹 천(ceramic buff), Z-스크러빙(Z-scrubbing) 처리를 포함하는 그룹으로부터 선택되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 6】

제1항에 있어서,

상기 커패시터 페이스트는 유전상수가 1,000~10,000인 고유전율을 갖는 BaTiO₃ 세라믹 분말을 열 경화성 에폭시 수지 또는 폴리이미드와 혼합한 합성물 형태인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 7】

제1항에 있어서,

상기 커패시터 페이스트는 상기 BaTiO_3 분말의 크기를 두개의 형태(Bimodal)로 구현하고, 그 크기는 $0.9\mu\text{m}$ 직경의 분말과 60nm 직경의 극소 분말을 3:1~5:1의 부피 비율로 섞어서 에폭시 수지에 골고루 분산시켜 80~90 정도의 유전상수를 갖는 중합체 세라믹 합성물 형태인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 8】

제1항에 있어서,

상기 조도 처리된 동박에 커패시터 페이스트를 도포하는 방법은 스크린 인쇄(Screen printing) 또는 롤 코팅(Roll coating) 방법인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 9】

제1항에 있어서,

상기 커패시터 페이스트는 $8\mu\text{m}$ 내지 $25\mu\text{m}$ 정도로 도포되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 10】

제1항에 있어서,

상기 커패시터 페이스트는 오븐(Oven) 건조기에서 10분 동안 $90\sim 110^\circ\text{C}$ 에서 액상이였던 상기 커패시터 페이스트를 비-스테이지(B-stage)인 고상으로 반건조시키는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 11】

제10항에 있어서,

상기 반건조된 비-스테이지(B-stage)의 커패시터 페이스트가 30분 내지 1시간 동안 150~180℃의 온도와 35Kg/cm² 정도의 압력을 가하여 완전 건조되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 12】

제1항에 있어서,

상기 전원층 동박의 분할은 인쇄회로기판에 실장될 각 부품들의 동작 전압이 서로 다를 경우, 상기 전원층 동박을 각각의 셀(Cell)로 나누어서 각 동작 전압별로 대응하는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 13】

제1항에 있어서,

상기 블라인드 비아홀은 레이저 드릴(Laser drill)을 이용하여 형성되고, 상기 도통홀은 기계식 드릴(Mechanical drill)을 이용하여 형성되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 14】

제1항에 있어서,

상기 블라인드 비아홀 및 도통홀은 각각 무전해 동도금(Electroless plating)으로 인쇄회로기판 내층에 삽입되어 있는 전원층 동박과 접지층 동박에 각각 연결되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 15】

제1항에 있어서,

상기 전원층 동박과 접지층 동박을 상기 인쇄회로기판에 실장되는 집적회로 칩(IC Chip)의 전원 패드 및 접지 패드에 각각 연결하는 단계를 추가로 포함하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 16】

제15항에 있어서,

상기 커패시터 페이스트가 형성된 층은 상기 집적회로 칩을 위한 디커플링 커패시터(Decoupling capacitor) 역할을 하는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 17】

- a) 동박 적층판이 접착제로 접착된 다층 인쇄회로기판의 내층;
- b) 상기 내층의 상부 및 하부에 형성되어 조도 처리되는 접지층 동박;
- c) 상기 접지층 동박에 일정한 두께로 도포되어 경화되는 고유전율의 중합체 커패시터 페이스트;
- d) 상기 경화된 커패시터 상부에 적층되는 전원층 동박—여기서 전원층 동박 상에 드라이 필름 패턴이 적층되고, 상기 드라이 필름 패턴이 식각 마스크를 통해 식각되어 상기 전원층 동박이 각각 분할됨—;
- e) 상기 전원층 동박의 상부에 적층되는 절연층이 부착된 동박층;

f) 상기 절연층이 부착된 동박층의 소정 부위에 가공되는 블라인드 비아홀 및 도통홀; 및

g) 상기 인쇄회로기판의 층간을 연결하기 위해 상기 블라인드 비아홀 및 도통홀이 도금되는 도금층

를 포함하여 구성되는 커패시터 내장형 인쇄회로기판.

【청구항 18】

제17항에 있어서,

상기 절연층이 부착된 동박층은 수지 코팅된 동박층(Resin Coated Copper: RCC)인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 19】

제17항에 있어서,

상기 접지층 동박은 상기 커패시터 페이스트와의 접착력을 높이기 위해 표면에 1~2 μ m 정도의 조도가 형성되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 20】

제17항에 있어서,

상기 커패시터 페이스트는 유전상수가 1,000~10,000인 고유전율을 갖는 BaTiO₃ 세라믹 분말을 열 경화성 에폭시 수지 또는 폴리이미드와 혼합한 합성물 형태인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 21】

제17항에 있어서,

상기 커패시터 페이스트는 상기 BaTiO_3 분말의 크기를 두개의 형태(Bimodal)로 구현하고, 그 크기는 $0.9\mu\text{m}$ 직경의 분말과 60nm 직경의 극소 분말을 3:1~5:1의 부피 비율로 섞어서 에폭시 수지에 골고루 분산시켜 80~90 정도의 유전상수를 갖는 중합체 세라믹 합성물 형태인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 22】

제17항에 있어서,

상기 커패시터 페이스트는 $8\mu\text{m}$ 내지 $25\mu\text{m}$ 정도로 도포되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 23】

제17항에 있어서,

상기 커패시터 페이스트는 오븐(Oven) 건조기에서 10분 동안 $90\sim 110^\circ\text{C}$ 에서 액상이었던 상기 커패시터 페이스트를 비-스테이지(B-stage)인 고상으로 반건조시키는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 24】

제23항에 있어서,

상기 반건조된 비-스테이지(B-stage)의 커패시터 페이스트는 30분 내지 1시간 동안 $150\sim 180^\circ\text{C}$ 의 온도와 $35\text{Kg}/\text{cm}^2$ 정도의 압력을 가하여 완전 건조시키는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

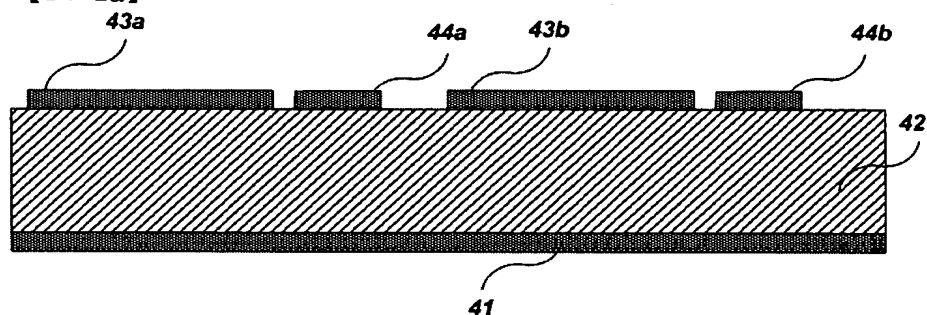
【청구항 25】

제17항에 있어서,

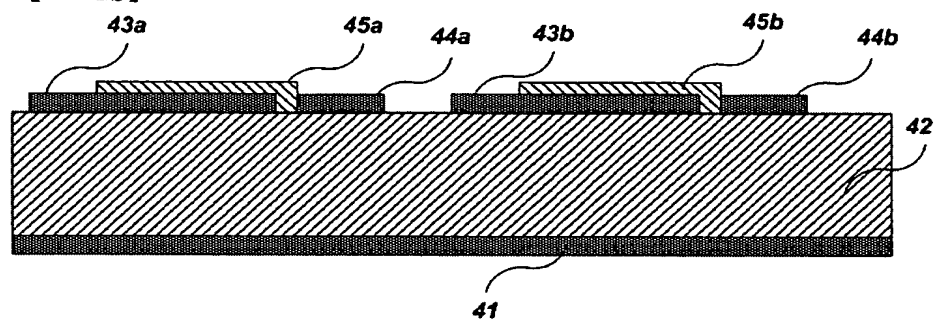
상기 전원층 동박의 분할은 인쇄회로기판에 실장될 각 부품들의 동작 전압이 서로 다를 경우, 상기 전원층 동박을 각각의 셀(Cell)로 나누어서 각 동작 전압별로 대응하는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【도면】

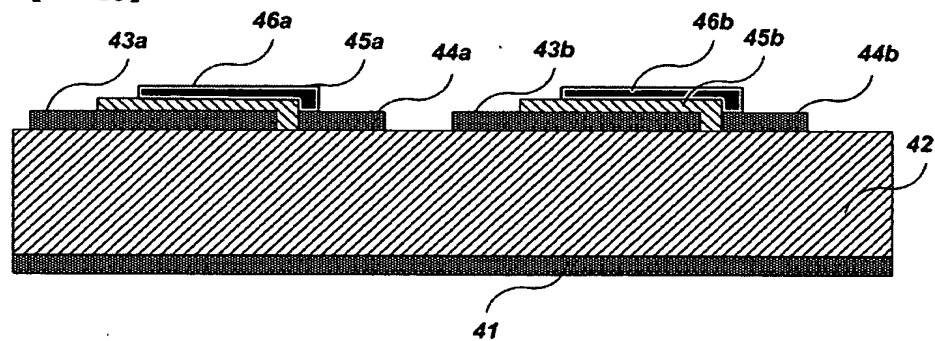
【도 1a】



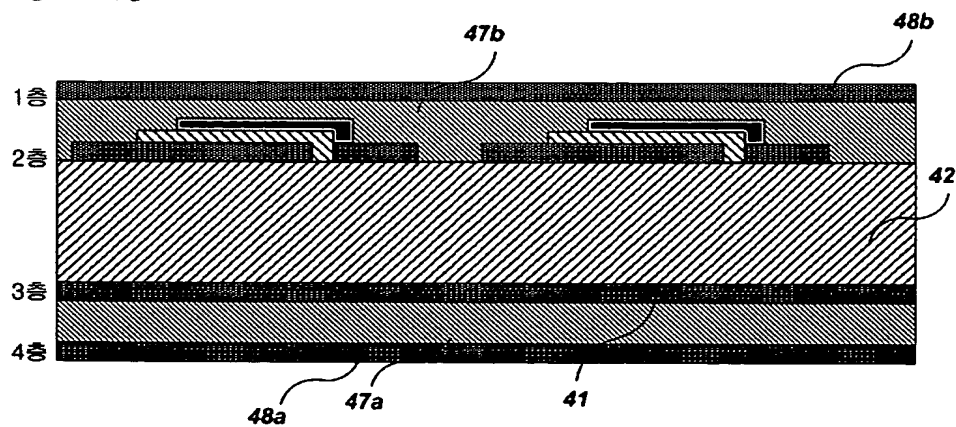
【도 1b】



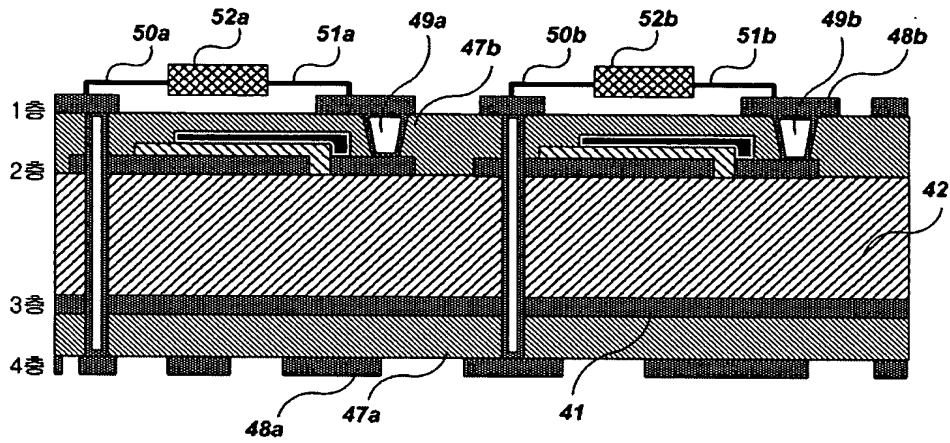
【도 1c】



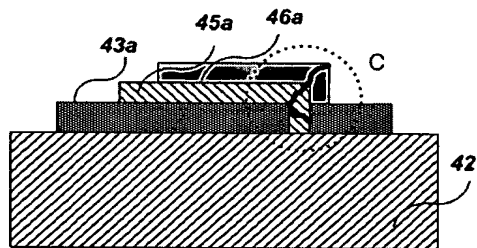
【도 1d】



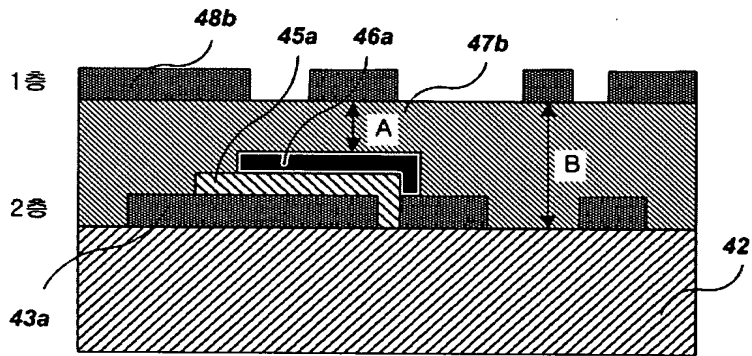
【도 1e】



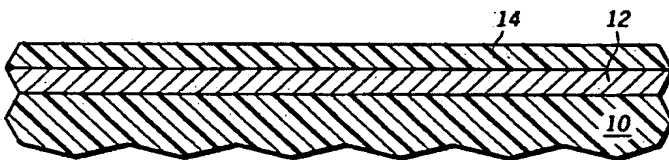
【도 2a】



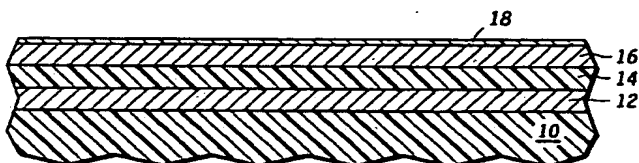
【도 2b】



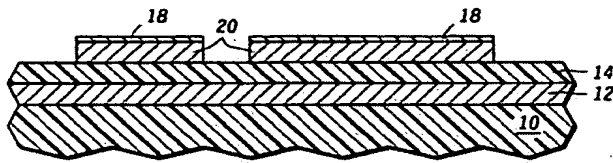
【도 3a】



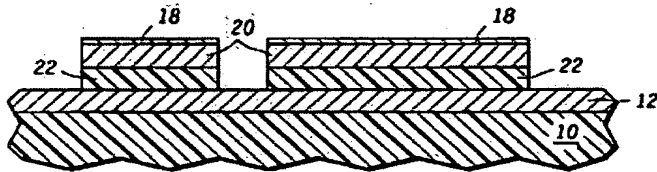
【도 3b】



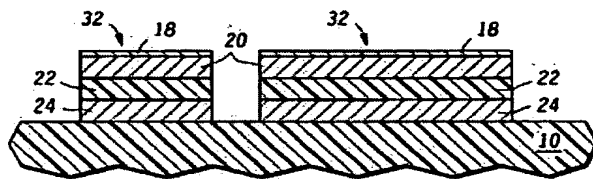
【도 3c】



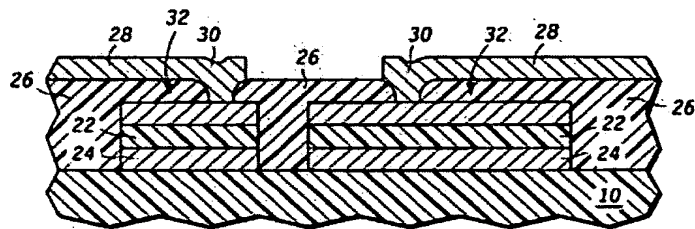
【도 3d】



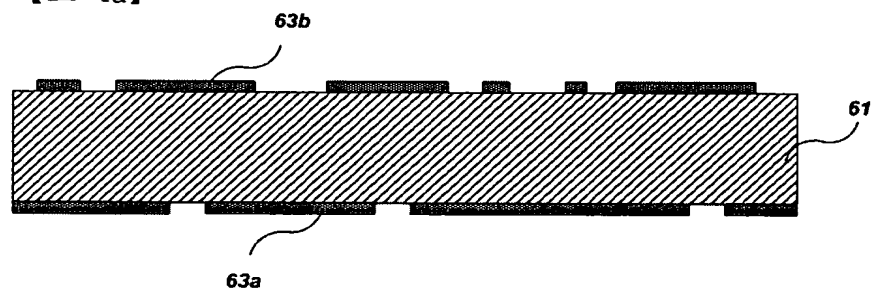
【도 3e】



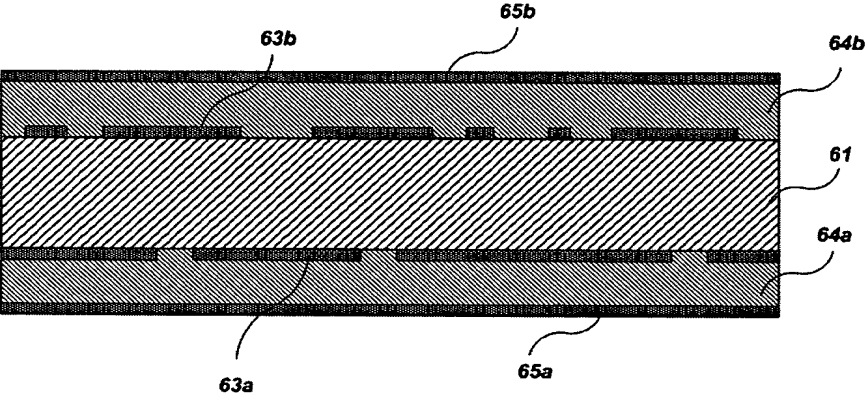
【도 3f】



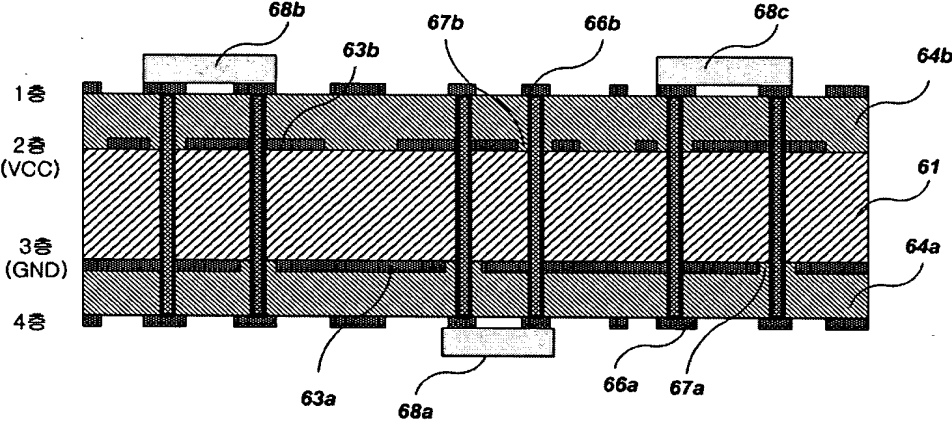
【도 4a】



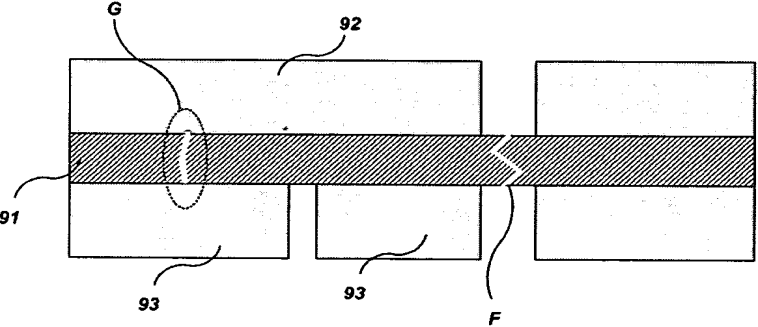
【도 4b】



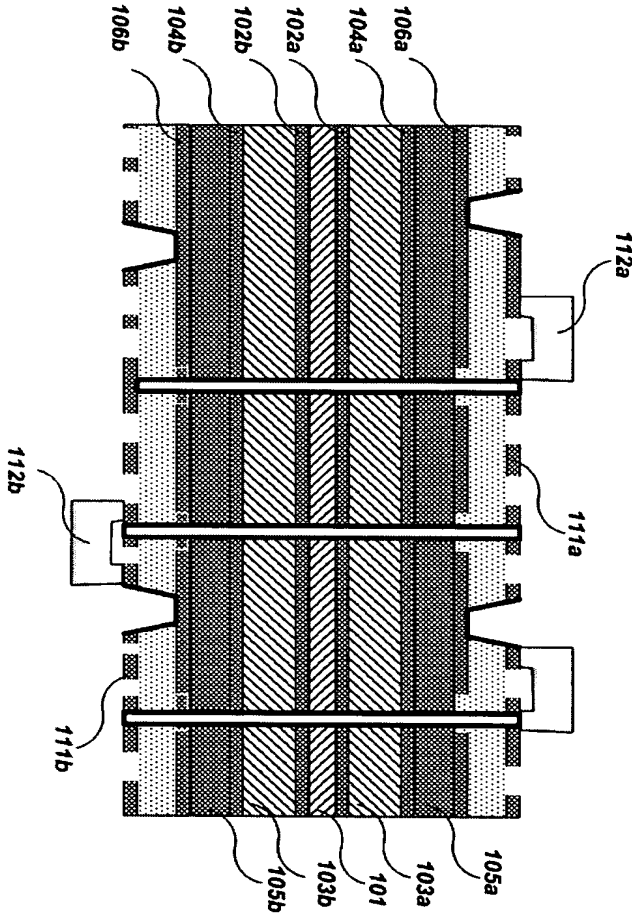
【도 4c】



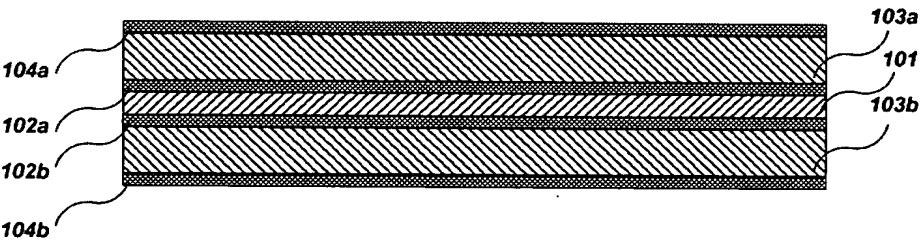
【도 5】



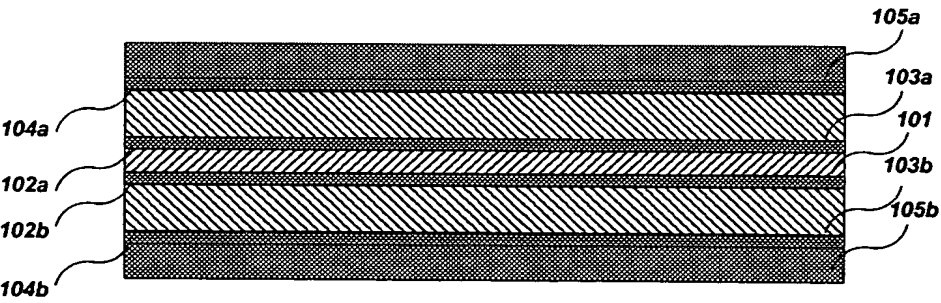
【도 6】



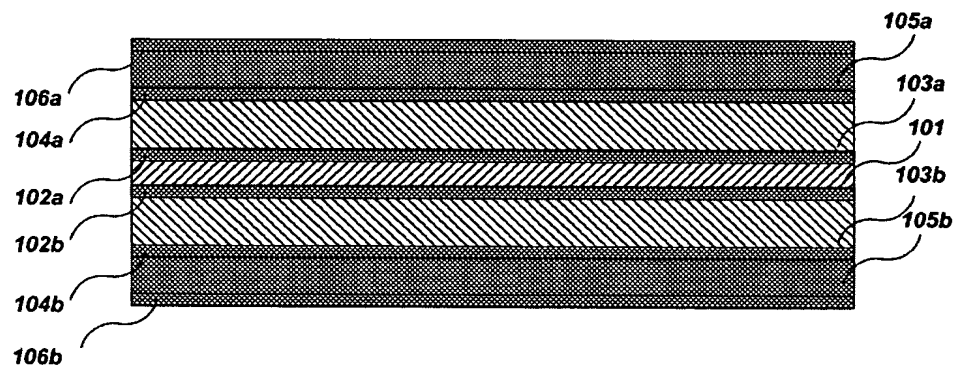
【도 7a】



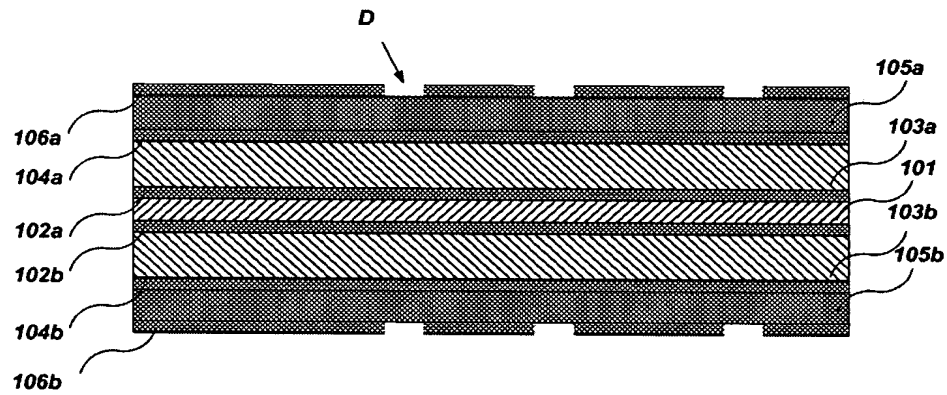
【도 7b】



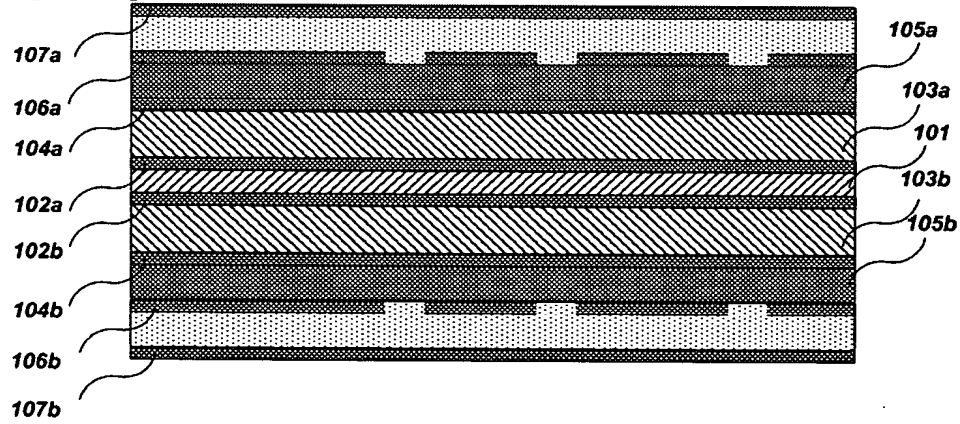
【도 7c】



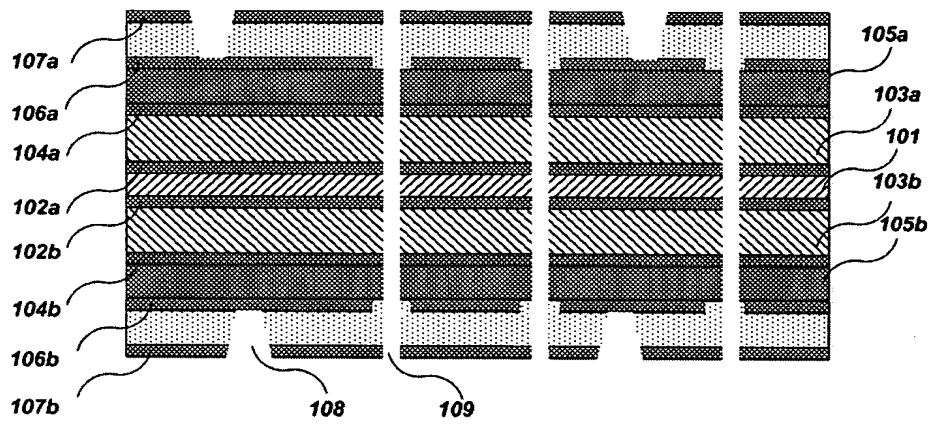
【도 7d】



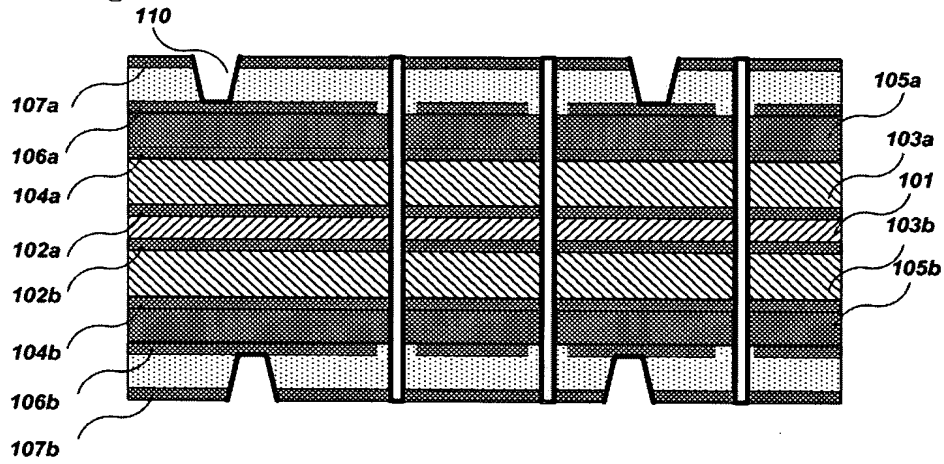
【도 7e】



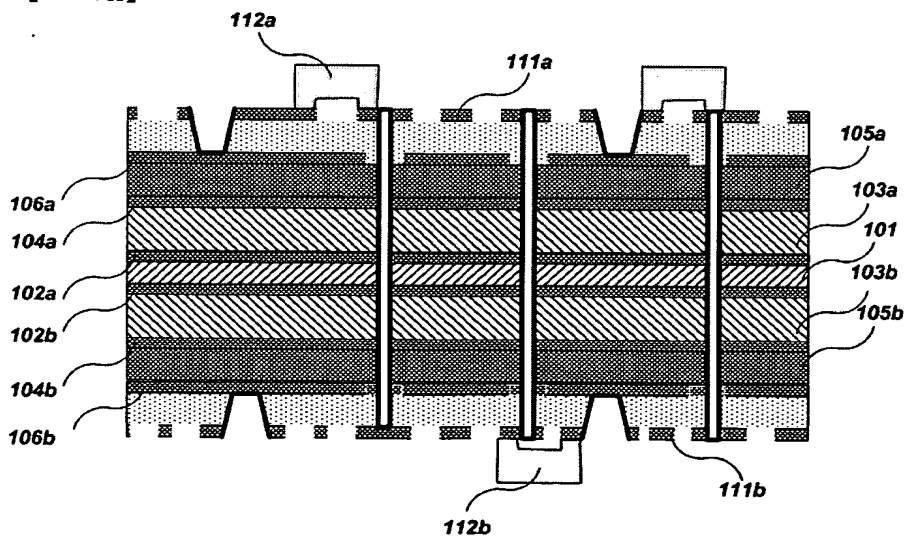
【도 7f】



【도 7g】



【도 7h】



【도 8】

